



Predmet: Arhitektura računara
Profesor: redovni profesor dr Dušan Regodić, dipl. inž.

Magistrala

1. ARBITRACIJA
2. CIKLUSI NA MAGISTRALI
3. SISTEMI SA VIŠE MAGISTRALA

Uvod

- magistrala** je uređena grupa linija koja povezuje osnovne komponente računara, procesor, memorije i U/I uređaje
- ciklus na magistrali** predstavlja ceo tok prenosa nekog sadržaja između procesorskih registara, memorijskih lokacija i registara U/I uređaja
- komponenta koja započinje ciklus na magistrali naziva se **gazda** (*master*), a komponenta sa kojom se ostvaruje ciklus naziva se **sluga** (*slave*)
- gazda može da bude procesor ili uređaj sa DMA, a sluga memorija i uređaji sa ili bez DMA

Uloga sistema magistrala

- omogućuje transfer sadržaja između komponenata računara
- obezbeđuje sistemski takt
- vrši arbitraciju pristupa raznih jedinica na magistralu
- omogućuje konfigurisanje naprednijih U/I mehanizama prenosa

Struktura magistrale

Magistralu čine tri grupe linija:

□ adresne linije (ABUS)

- gazda šalje adresu memorijske lokacije ili registra U/I uređaja

□ linije podataka (DBUS)

- gazda šalje sadržaj koji treba upisati u memorijsku lokaciju i registar U/I uređaja čija je adresa na ABUS
- sluga šalje pročitani sadržaj iz memorijske lokacije ili registra U/I uređaja čija je adresa na ABUS

□ upravljačke linije (CBUS)

- gazda šalje signale za upis ili čitanje sadržaja

Princip rada

- gazda šalje adresu memorijske lokacije ili registra U/I uređaja na ABUS
- sve sluge su povezane na ABUS i dobijaju poslatu adresu
- sve sluge proveravaju pomoću dekodera adresa da li adresa odgovara nekoj adresi u slugi
- samo jedan sluga prepoznaje da se adresa odnosi na njega
- sa malim zakašnjenjem (dovoljnim da se završi provera adrese), gazda šalje signal upisa/čitanja svim slugama
- upis/čitanje izvršava samo sluga koji je adresiran poslatom adresom

Adresni prostori

Memorijski adresni prostor predstavlja opseg adresa koje se mogu koristiti za adresiranje memorijskih lokacija.

U/I adresni prostor predstavlja opseg adresa koje se mogu koristiti za adresiranje registara u U/I uređajima.

U/I adresni prostor je memorijski preslikan ako se i U/I registrima i memorijskim lokacijama pristupa istim instrukcijama.

Ako postoje posebne instrukcije za pristup memoriji, a posebne za **pristup U/I registrima**, kaže se da su **U/I i memorijski adresni prostori razdvojeni**.

Arbitracija

Arbitracija je odlučivanje o tome ko u datom trenutku može da realizuje ciklus na magistrali.

mehanizam arbitracije je bitan kada u računarskom sistemu postoji više jedinica koje mogu da imaju ulogu gazde

tipično, u sistemu sa CPU i U/I uređajima bez DMA, procesor ima ulogu gazde

u savremenim sistemima, obično postoji više procesora priključenih na magistralu, ili U/I uređaja sa DMA, pa je potrebno odrediti ko će realizovati ciklus na magistrali

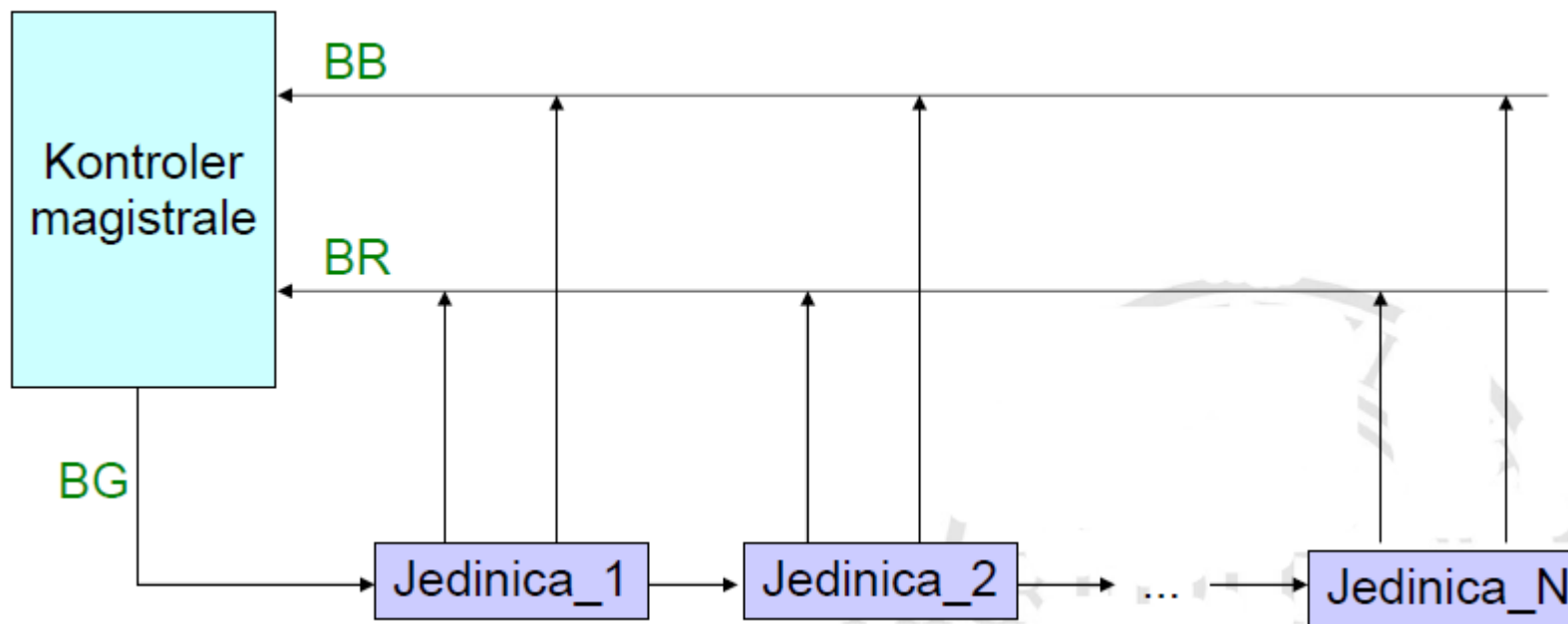
Osnovni pojmovi

- pretpostavimo da arbitracijom upravlja **kontroler magistrale** (*bus controller*) ili **arbitrator**
- BB (*Bus busy*) - kontrolni signal koji **indicira zauzeće magistrale** (ukoliko je njegova vrednost 1, to znači da je magistrala već dodeljena nekoj jedinici koja ima ulogu gazde)
- BR (*Bus request*) - kontrolni signal koji predstavlja **zahtev za magistralom** upućen kontroleru od strane neke jedinice
- BG (*Bus grant*) – **signal dozvole za korišćenje magistrale** poslat od strane kontrolera magistrale

Tehnike arbitracije

- tehnika ulančavanja (*Daisy chain*)
- tehnika prozivanja (*Polling*)
- tehnika nezavisni zahtev/dozvola (*Independent request/grant*)

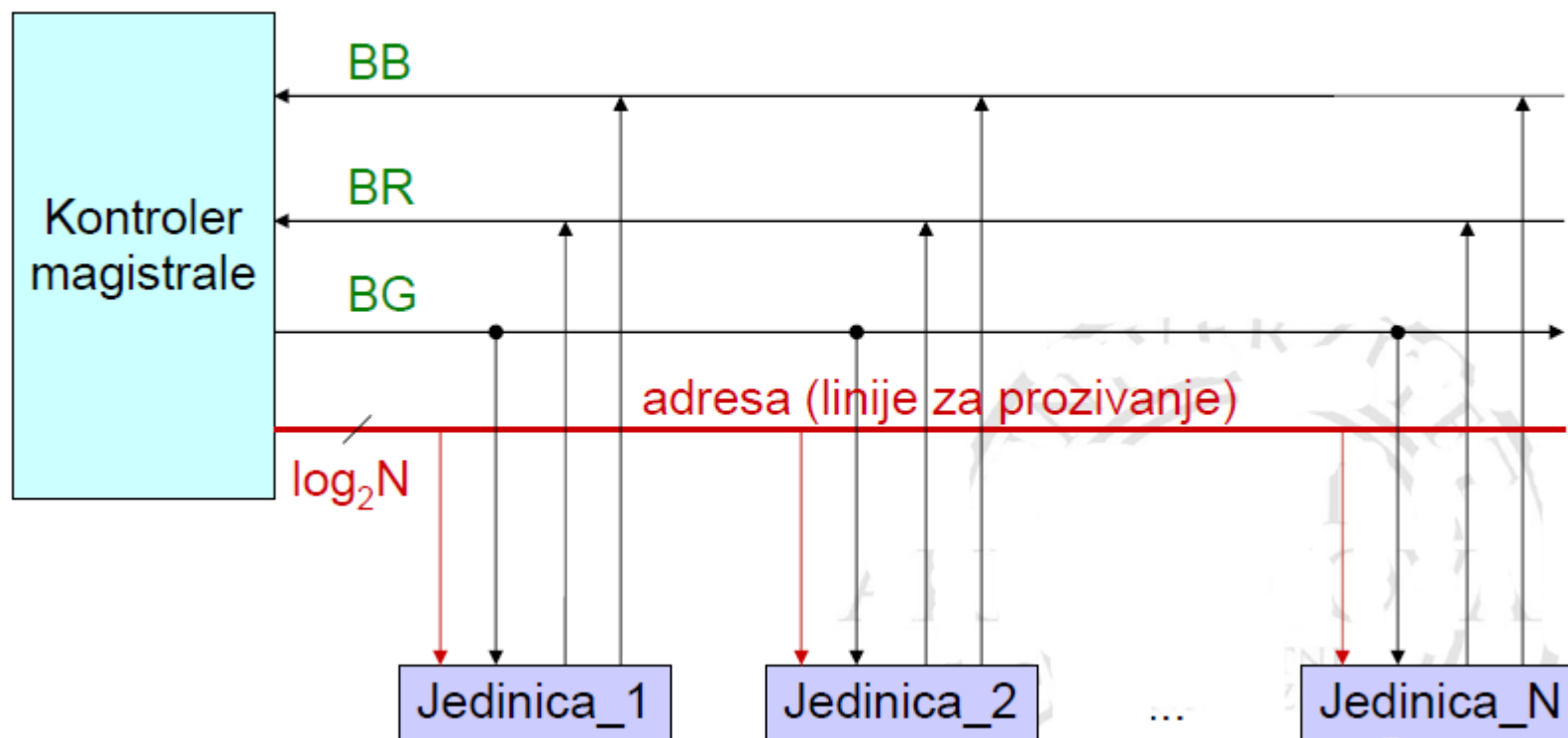
Tehnika ulančavanja (1)



Tehnika ulančavanja (2)

- jedinice su ulančane po prioritetu (najviši prioritet ima Jedinica_1, a najniži Jedinica_N)
- neke od jedinica šalju zahteve BR kontroleru magistrale
- ako magistrala nije zauzeta, kontroler šalje BG duž lanca
- jedinica koja ima najviši prioritet među jedinicama koje su uputile zahtev postavlja signal BB, stopira dalje prosleđivanje signala BG i postaje gazda na magistrali

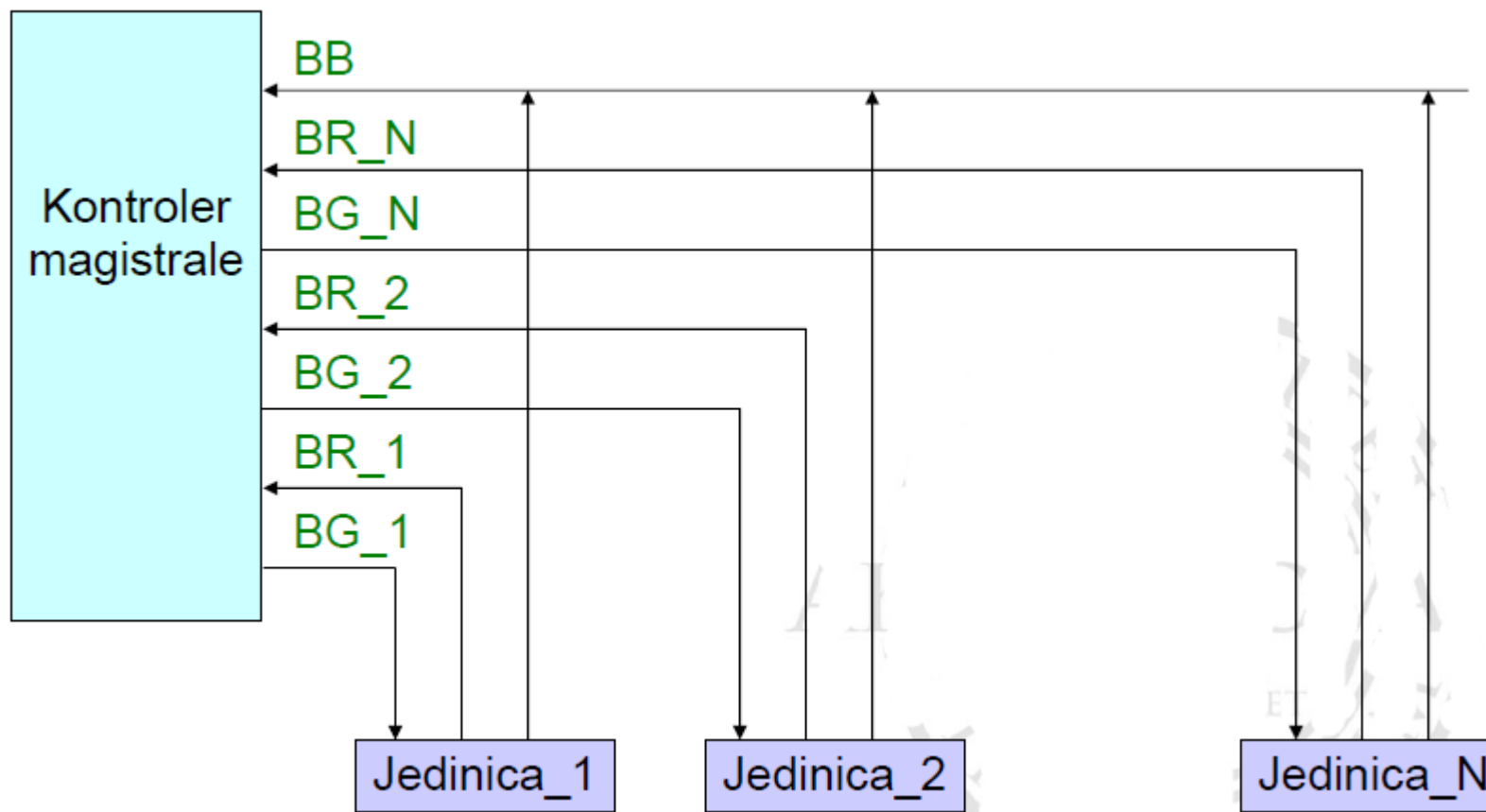
Tehnika prozivanja (1)



Tehnika prozivanja (2)

- neke od jedinica šalju zahteve BR kontroleru magistrale
- kontroler proziva jedinice prema unapred utvrđenom redosledu prioriteta slanjem njihovih adresa i selektuje jedinicu sa najvišim prioritetom
- kontroler šalje BG signal koga prihvata samo selektovana jedinica koja generiše BB signal i postaje gazda na magistrali

Tehnika nezavisni zahtev/dozvola (1)



Tehnika nezavisni zahtev/dozvola (2)

- svaka jedinica ima nezavisnu BR i BG liniju
- neke od jedinica šalju zahteve BR kontroleru magistrale
- kontroler određuje najprioritetniju jedinicu koja je poslala zahtev i šalje joj BG signal
- jedinica prima BG signal, postavlja BB signal i postaje gazda na magistrali

Ciklusi na magistrali

magistrala je zauzeta sve vreme dok se realizuje prenos podatka između gazde i sluge

Moguća su tri ciklusa na magistrali:

- ciklus čitanja
- ciklus upisa
- ciklus prihvatanja broja ulaza (koda prekida)

Vrste magistrala

U zavisnosti od dinamike aktivnosti koje treba obaviti tokom ciklusa, razlikuju se:

→ **asinhronone magistrale**

- priključeni moduli rade svaki na svom signalu takta, pa se mogu povezivati razne jedinice
- koristi se *handshake* protokol

→ **sinhronone magistrale**

- priključeni moduli rade na istom (zajedničkom) signalu takta
- imaju fiksni protokol komunikacije relativno u odnosu na takt (na pr. posle 5 ciklusa takta očekuje se da podatak bude pročitano i raspoloživo na DBUS)
- protokol je unapred definisan i magistrala može biti **vrlo brza**
- **nedostaci:** svi moduli moraju da imaju isti takt, magistrala mora biti kratka da bi prenos bio u taktu

Asinhrona magistrala

Ciklus čitanja

- gazda šalje adresu na ABUS i signal RDBUS čime **startuje** čitanje u slugi
- po čitanju, sluga šalje podatak na DBUS i signal FCBUS da je podatak raspoloživ

Ciklus upisa

- gazda šalje adresu na ABUS, podatak na DBUS i signal WRBUS i **startuje** upis
- nakon upisa, sluga šalje gazdi signal FCBUS i signalizira da mu podatak i adresa više nisu potrebni

Ciklus prihvatanja koda prekida

- procesor šalje signal potvrde prekida *inta* i **startuje** čitanje registra ER (*Entry Register*) U/I uređaja
- nakon čitanja, uređaj šalje pročitani sadržaj na DBUS i signal FCBUS da je podatak raspoloživ

Sinhrona magistrala

Ciklus čitanja

- gazda šalje adresu na ABUS i signal RDBUS čime **zahteva** čitanje u slugi
- pošto je **vreme čitanja fiksno**, posle datog vremena, gazda očekuje da je podatak na DBUS raspoloživ i upisuje ga u prihvatni registar, a adresu sa ABUS uklanja

Ciklus upisa

- gazda šalje adresu na ABUS, podatak na DBUS i signal WRBUS i **zahteva** upis
- pošto je **vreme upisa fiksno**, posle datog vremena, gazda očekuje da je podatak upisan i uklanja adresu sa ABUS i podatak sa DBUS

Ciklus prihvatanja koda prekida

- procesor šalje signal potvrde prekida *inta* i **zahteva** čitanje registra ER U/I uređaja
- pošto je **vreme čitanja registra fiksno**, posle datog vremena, gazda očekuje da je kod prekida na DBUS i upisuje ga u svoj prihvatni registar

Sistemi sa više magistrala

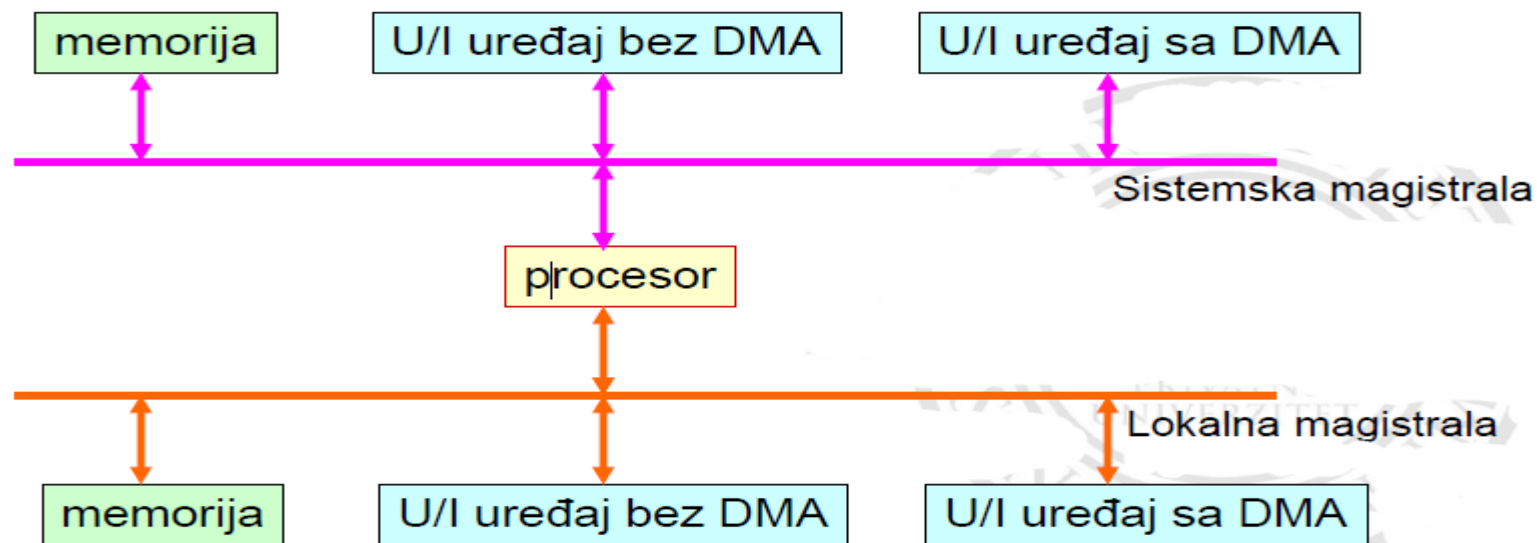
sistemi se često projektuju da imaju **više magistrala**

razlozi:

- smanjenje vremena čekanja gazda da realizuju ciklus na magistrali
- mogućnosti kombinovanja osobina sinhronne i asinhronne magistale

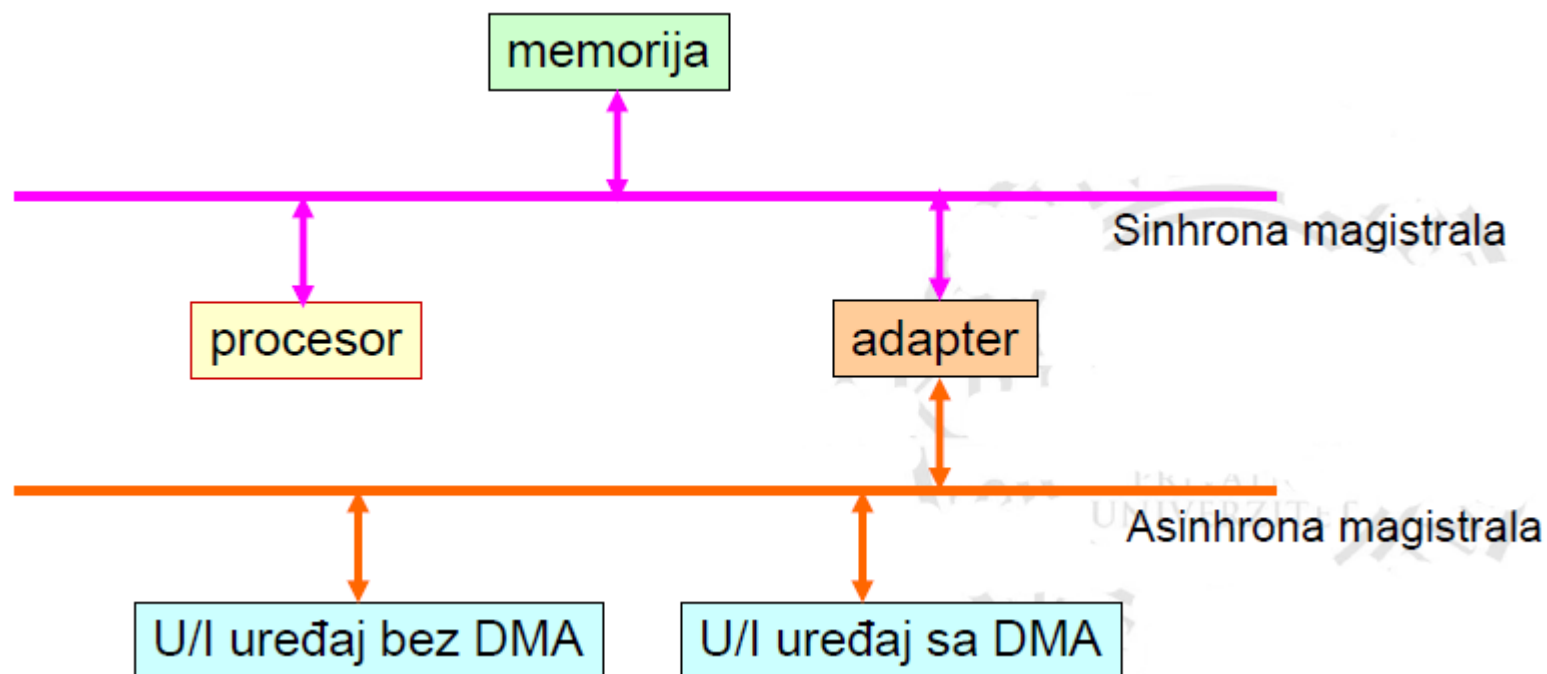
Smanjenje vremena čekanja

- adresni prostor korisnika je podeljen na dva dela (prema magistralama)
- procesor na osnovu adrese utvrđuje na kojoj magistrali se izvršava ciklus



Kombinovanje magistrala

- adresni prostor korisnika je podeljen na dva dela (prema magistralama)
- procesor sve cikluse realizuje na sinhronoj magistrali, pri čemu na adrese U/I uređaja reaguje adapter koji realizuje cikluse na asinhronoj magistrali



**HVALA VAM NA
PAŽNJI**

